



04CD 05-07-01

PATENT

P5754a

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: Tsukasa Kosuda, et al.

Group Art Unit: Not Yet Assigned

Serial No.: 09/823,137

Examiner: Not Yet Assigned

Filed: March 29, 2001

Title: INFORMATION PROCESSING APPARATUS

3

CERTIFICATE OF MAILING

I hereby certify that this correspondence and the documents referred to as attached herein are being deposited with the United States Postal Service on this date in an envelope as "First Class Mail" service addressed to the Assistant Commissioner for Patents, Washington, DC 20231.

Date: May 2, 2001


Mary Bastida

SUBMISSION OF PRIORITY DOCUMENTS

Assistant Commissioner for Patents
Washington, D.C. 20231

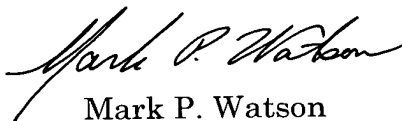
Sir:

Enclosed are the certified copies of the Japanese patent applications listed below. The claim of priority under 35 USC §119 in the above-identified application is based on these Japanese patent applications.

Japanese Patent Applications

<u>Number</u>	<u>Date Filed</u>
2000-100122	March 31, 2000
2000-100123	March 31, 2000
2001-091111	March 27, 2001

Respectfully submitted,



Mark P. Watson
Attorney for Applicants
Registration No. 31,448

Please address all correspondence to:
Epson Research and Development, Inc.
Intellectual Property Department
150 River Oaks Parkway, Suite 225
San Jose, CA 95134
Customer No. 20178
Phone: (408) 952-6000
Fax: (408) 954-9058

Date: May 2, 2001

Submission of Priority Documents With Postcard.doc
Customer No. 20178

REV 11/97



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月31日

出 願 番 号

Application Number:

特願2000-100122

出 願 人

Applicant (s):

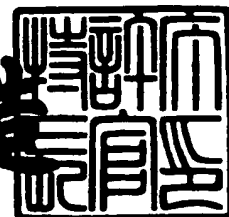
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月13日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3030952

【書類名】 特許願

【整理番号】 J0078306

【提出日】 平成12年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/00
G06F 15/00

【発明の名称】 P L L 発振回路および P L L 発振回路の制御方法

【請求項の数】 10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 小須田 司

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100098084

【弁理士】

【氏名又は名称】 川▲崎▼ 研二

【手数料の表示】

【予納台帳番号】 038265

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL発振回路およびPLL発振回路の制御方法

【特許請求の範囲】

【請求項1】 電圧制御信号の電圧に対応する周波数を有する発振信号を出力する電圧制御発振器と、基準クロック信号の位相と比較発振信号の位相とを比較し比較信号を出力する位相比較器と、前記比較信号の低域成分を通過させ、前記電圧制御信号として出力するロウパスフィルタと、前記発振信号を分周し、前記比較発振信号を出力する分周器と、を備えたPLL発振回路において、

前記電圧制御信号の電圧に所定のオフセット電圧を重畳するオフセット電圧印加部を備えたことを特徴とするPLL発振回路。

【請求項2】 請求項1記載のPLL発振回路において、

前記オフセット電圧印加部は、予めオフセット電圧データを記憶するオフセット電圧データ記憶部と、

前記オフセット電圧データを変換して前記オフセット電圧を生成するデータ変換部と、

を備えたことを特徴とするPLL発振回路。

【請求項3】 請求項2記載のPLL発振回路において、

当該PLL発振回路の所定のロックアップ状態における前記電圧制御信号に基づいて、前記オフセット電圧データを生成するオフセット電圧データ生成部を備えたことを特徴とするPLL発振回路。

【請求項4】 請求項1記載のPLL発振回路において、

前記オフセット電圧印加部は、所定の電源電圧を分圧して複数の前記オフセット電圧を生成する分圧部と、

前記複数のオフセット電圧のいずれかを選択して前記電圧制御信号の電圧に印加する電圧選択部と、

を備えたことを特徴とするPLL発振回路。

【請求項5】 請求項1記載のPLL発振回路において、

前記オフセット電圧印加部は、所定の電源電圧を分圧して前記オフセット電圧を生成する分圧部を備えたことを特徴とするPLL発振回路。

【請求項 6】 請求項 3 記載の P L L 発振回路において、

前記所定のロックアップ状態は、前記オフセット電圧印加部による前記オフセット電圧を重畳しない状態で当該 P L L 回路を前記発振信号が予め定めた所定の周波数となるようにロックアップさせた状態であることを特徴とする P L L 発振回路。

【請求項 7】 請求項 2 記載の P L L 発振回路において、

予め定めた所定のタイミングで前記電圧制御信号の電圧を検出する制御電圧検出部と、

前記制御電圧検出手段の検出結果に基づいて前記オフセット電圧データを補正し、新たなオフセット電圧データとするオフセットデータ補正部と、を備えたことを特徴とする P L L 発振回路。

【請求項 8】 電圧制御信号の電圧に対応する周波数を有する発振信号を出力する電圧制御発振器と、基準クロック信号の位相と比較発振信号の位相とを比較し比較信号を出力する位相比較器と、前記比較信号の低域成分を通過させ、前記電圧制御信号として出力するローパスフィルタと、前記発振信号を分周し、前記比較発振信号を出力する分周器と、を備えた P L L 発振回路の制御方法において、

前記電圧制御信号の電圧に所定のオフセット電圧を重畳することを特徴とする P L L 発振回路の制御方法。

【請求項 9】 請求項 8 記載の P L L 発振回路の制御方法において、

前記所定のオフセット電圧は、オフセット電圧を重畳しない状態で当該 P L L 回路を前記発振信号が予め定めた所定の周波数となるようにロックアップさせた状態において得られる前記電圧制御信号の電圧に設定されることを特徴とする P L L 発振回路の制御方法。

【請求項 1 0】 請求項 8 記載の P L L 発振回路の制御方法において、

予め定めた所定のタイミングで前記電圧制御信号の電圧を検出する制御電圧検出し、

検出した前記電圧制御信号の電圧に基づいて前記オフセット電圧データを補正し、新たなオフセット電圧データとする、

ことを特徴とする P L L 発振回路の制御方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、P L L 発振回路および P L L 発振回路の制御方法に係り、特にロックアップ時間を短縮するための技術に関する。

【 0 0 0 2 】

【従来の技術】

小型携帯機器などを構成するワンチップマイクロコンピュータは、電池寿命を長くするため、低電圧・低消費電力のものが望まれる。

これを実現すべく、動作電圧は 1 [V] 前後、動作周波数は 3 2 [k H z] という低速クロックで駆動させているのが一般的である。

しかしながら小型携帯機器にある程度の情報処理能力を持たせる場合には、動作周波数 3 2 [k H z] では処理が間に合わないという不具合が生じる。

これを解決すべく、従来においては、低消費電力でかなり高い周波数（例えば 1 6 M H z）まで発振可能な P L L 発振回路を設け、高速処理が必要とされるときだけ、高動作周波数で動作させ、それ以外の場合には、低動作周波数で動作させるツインクロックマイクロコンピュータが提案されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

上述したように、P L L 発振回路は、低消費電力で高周波数まで発振可能であるが、発振安定待ち時間が長い（例えば、5 0 [m s e c]）という問題点がある。

これを回避すべく、従来の P L L 発振回路においては、以下のような対策が講じられていた。

(1) P L L 発振回路を構成するロウパスフィルタ (L P F) を 2 個設け、P L L 発振回路の立ち上げ時には、時定数の小さなロウパスフィルタを使用し、定常状態に至ると時定数の大きいロウパスフィルタを使用する。

(2) P L L 発振回路を構成するロウパスフィルタ (L P F) を 2 個設け、

一方のロウパスフィルタで駆動している状態で、他方のロウパスフィルタを別の周波数でロックさせるべく準備をしておく。

(3) 位相比較器の出力信号のアナログ／デジタル変換を行うチャージポンプを有するPLL発振回路の場合には、PLL発振回路の立ち上げ時にチャージポンプの制御電流量を増やす。

上記(1)および(2)の対策では、ロックアップ時間を零にすることはできず、また、(3)の対策では、装置構成が複雑化し、回路の大規模化を招くという問題点があった。

そこで、本発明の目的は、ロックアップ時間を短縮することが可能で、PLL発振回路を搭載した装置における操作レスポンスを向上することが可能なPLL発振回路およびその制御方法を提供することにある。

【0004】

【課題を解決するための手段】

上記課題を解決するため、請求項1記載の構成は、電圧制御信号の電圧に対応する周波数を有する発振信号を出力する電圧制御発振器と、基準クロック信号の位相と比較発振信号の位相とを比較し比較信号を出力する位相比較器と、前記比較信号の低域成分を通過させ、前記電圧制御信号として出力するロウパスフィルタと、前記発振信号を分周し、前記比較発振信号を出力する分周器と、を備えたPLL発振回路において、前記電圧制御信号の電圧に所定のオフセット電圧を重畳するオフセット電圧印加部を備えたことを特徴としている。

【0005】

請求項2記載の構成は、請求項1記載の構成において、前記オフセット電圧印加部は、予めオフセット電圧データを記憶するオフセット電圧データ記憶部と、

前記オフセット電圧データを変換して前記オフセット電圧を生成するデータ変換部と、を備えたことを特徴としている。

【0006】

請求項3記載の構成は、請求項2記載の構成において、当該PLL発振回路の所定のロックアップ状態における前記電圧制御信号に基づいて、前記オフセット電圧データを生成するオフセット電圧データ生成部を備えたことを特徴としてい

る。

【 0 0 0 7 】

請求項 4 記載の構成は、請求個 1 記載の構成において、前記オフセット電圧印加部は、所定の電源電圧を分圧して複数の前記オフセット電圧を生成する分圧部と、前記複数のオフセット電圧のいずれかを選択して前記電圧制御信号の電圧に印加する電圧選択部と、を備えたことを特徴としている。

【 0 0 0 8 】

請求項 5 記載の構成は、請求個 1 記載の構成において、前記オフセット電圧印加部は、所定の電源電圧を分圧して前記オフセット電圧を生成する分圧部を備えたことを特徴としている。

請求項 6 記載の構成は、請求項 3 記載の構成において、前記所定のロックアップ状態は、前記オフセット電圧印加部による前記オフセット電圧を重畳しない状態で当該 PLL 回路を前記発振信号が予め定めた所定の周波数となるようにロックアップさせた状態であることを特徴としている。

請求項 7 記載の構成は、請求項 2 記載の構成において、予め定めた所定のタイミングで前記電圧制御信号の電圧を検出する制御電圧検出部と、前記制御電圧検出手段の検出結果に基づいて前記オフセット電圧データを補正し、新たなオフセット電圧データとするオフセットデータ補正部と、を備えたことを特徴としている。

【 0 0 0 9 】

請求項 8 記載の構成は、電圧制御信号の電圧に対応する周波数を有する発振信号を出力する電圧制御発振器と、基準クロック信号の位相と比較発振信号の位相とを比較し比較信号を出力する位相比較器と、前記比較信号の低域成分を通過させ、前記電圧制御信号として出力するローパスフィルタと、前記発振信号を分周し、前記比較発振信号を出力する分周器と、を備えた PLL 発振回路の制御方法において、前記電圧制御信号の電圧に所定のオフセット電圧を重畳することを特徴としている。

請求項 9 記載の構成は、請求項 8 記載の構成において、前記所定のオフセット電圧は、オフセット電圧を重畳しない状態で当該 PLL 回路を前記発振信号が予

め定めた所定の周波数となるようにロックアップさせた状態において得られる前記電圧制御信号の電圧に設定されることを特徴としている。

請求項 10 記載の構成は、請求項 8 記載の構成において、予め定めた所定のタイミングで前記電圧制御信号の電圧を検出する制御電圧検出し、検出した前記電圧制御信号の電圧に基づいて前記オフセット電圧データを補正し、新たなオフセット電圧データとする、ことを特徴としている。

【0010】

【発明の実施の形態】

次に図面を参照して本発明の好適な実施形態について説明する。

〔1〕 実施形態

〔1. 1〕 実施形態の構成

〔1. 1. 1〕 腕時計型データ情報処理装置の構成

図 1 に本発明の回転検出装置を有する腕時計型データ情報処理装置の正面図を示す。

腕時計型情報処理装置 100 の本体 101 の上部（紙面手前側）には、円環状に形成された回転ベゼル 102 が本体 101 に対して摺動可能に配置されている。また、回転ベゼル 102 の上面には、等間隔に「ア、イ、ウ、……、9、：、～」の文字等が印刷等により形成されている。

【0011】

回転ベゼル 102 の内周側には、カバーガラス 103 が配設されており、このカバーガラス 103 の下面側（紙面奥側）に、腕時計型情報処理装置 100 に入力された情報等が表示される表示部 104 が配設されている。

表示部 104 の図面上側には回転ベゼル 102 上に形成された文字等の 1 つを指示する指示マーク 110 が印刷等により形成されている。

また、本体 101 の周囲には、確定スイッチ 105、削除スイッチ 106、濁点スイッチ 107 および原点スイッチ 108 がそれぞれ配設されている。なお、これらのスイッチは、カバーガラス 103 上に設けるようにしてもよい。

【0012】

図 2 に腕時計型情報処理装置 100 から回転ベゼル 102 を取り外した状態を

示す。

図 2 に示すように、本体 1 0 1 には孔 3 1 a, 3 1 b が形成されており、この孔 3 1 a, 3 1 b 内に第 1 検出手段として機能する第 1 センサユニット 3 2 と第 2 検出手段として機能する第 2 センサユニット 3 3 とがそれぞれ配置されている。

この場合において、第 1 センサユニット 3 2 と回転ベゼル 1 0 2 の回転中心 O とを結ぶ線と、第 2 センサユニット 3 3 と回転中心 O とを結ぶ線とが角度 $\theta 1$ を形成するように第 1 センサユニット 3 2 および第 2 センサユニット 3 3 がそれぞれ配置されている。

【 0 0 1 3 】

また、第 1 センサユニット 3 2 は、上述した指示マーク 1 1 0 が指示する文字等（図 2 の場合「ア」）の下方（図 2 の紙面奥側）に配置されている。なお、角度 $\theta 1$ については後述する。

図 3 に、図 2 の IV-IV 線に沿って見た図を示す。

図 3 に示すように、回転ベゼル 1 0 2 の下面には、回転ベゼル 1 0 2 の上面に形成された文字等に対応する位置に光学パターン 4 1 が形成されている。この光学パターン 4 1 が形成された面の下方にはセンサーカバーガラス 4 2 が本体 1 0 1 に取り付けられている。このとき、本体 1 0 1 とセンサーカバーガラス 4 2 の間にはパッキン 4 3 が配設されており、これによりセンサーカバーガラス 4 2 の下部への水等の侵入を防止することができる。

【 0 0 1 4 】

センサーカバーガラス 4 2 の下方には、第 1 センサユニット 3 2 が配設されている。

第 1 センサユニット 3 2 は、LED (Light Emitting Diode) 4 4 と、フォトダイオード 4 5 と、LED 4 4 とフォトダイオード 4 5 との間に配置される遮光板 4 4 a と、基板 4 6 とから構成されており、LED 4 4 が光学パターン 4 1 に向けて第 1 検出光 L 1 を射出、照射し、その反射光をフォトダイオード 4 5 が受光し、受光した第 1 検出光 L 1 に基づいて第 1 検出信号 A を生成する。

同様に第 2 センサユニット 3 3 は、LED 4 6（図 7 参照）と、フォトダイオ

ード47（図7参照）と、LED46とフォトダイオード47との間に配置される遮光板と、基板とから構成されており、LED46が光学パターン41に向けて第2検出光L2を射出、照射し、その反射光をフォトダイオード47が受光し、受光した第2検出光L2に基づいて第2検出信号Bを生成する。

【0015】

このように第1センサユニット32の生成した第1検出信号A及び第2センサユニット33が生成した第2検出信号Bが後述する情報処理部81（図6参照）によってカウントされ、これにより回転ベゼル102の回転角度及び回転方向を検出している。

第1センサユニット32の基板46の下側には、接点バネ47が設けられており、この接点バネ47により第1センサユニット32及び第2センサユニット33と腕時計型情報処理装置100のCPU等が電氣的に接続されている。なお、接点バネ47の代わりにリード線を設けるようにしてもよい。

【0016】

図2および図3に示すように、本体101の上部には、円周上に溝34が形成されている。一方、図3に示すように回転ベゼル102の下面には、下側に突出する突条46が形成されており、この突条46が溝34に摺動可能に嵌合されている。また、回転ベゼル102の図中右側の側面と本体101との間にはリング47が配置されており、これにより腕時計型情報処理装置100内部への水や光などの侵入を防止している。

【0017】

[1. 1. 2] 光学パターンについて

次に、光学パターン41について説明する。

図4は、反射部材として機能する回転ベゼル102の下面を示す図である。

光学パターン41は、図4に示すように、LED44の照射する光を吸収する吸収領域41aとLED44の光を反射する反射領域41bとが交互に形成されている。このとき、吸収領域41aと反射領域41bとは、回転中心Oを中心とした角度 $\theta/2$ 毎に形成されている。

【0018】

この場合において、上述した回転ベゼル 1 0 2 の上面に形成された文字等が n 個 (n は偶数) の場合には、 $\theta 2 = 360 / n [^\circ]$ となる。

第 1 センサユニット 3 2 は、使用者が回転ベゼル 1 0 2 を回転させたときに、図 5 (a) に示す光学パターン 4 1 の吸収領域 4 1 a と反射領域 4 1 b とを交互に読み取ることにより、図 5 (b) に示すような略正弦波形を有する第 1 検出信号 A を生成することができる。

一方、第 2 センサユニット 3 3 も同様に、図 5 (c) に示すような略正弦波形を有する第 2 検出信号 B を生成することとなる。

この場合において、第 1 検出信号 A と第 2 検出信号 B の位相は、後に詳述するように、 $1/4$ 波長だけずれるように吸収領域 4 1 a 及び反射領域 4 1 b 並びに第 1 センサユニット 3 2 及び第 2 センサユニット 3 3 の配置が設定されている。

【0019】

[1. 1. 3] センサユニットの配置

次に、第 1 センサユニット 3 2 と第 2 センサユニット 3 3 との間の角度 $\theta 2$ について説明する。

本実施形態では、 $\theta 1 = \theta 2 + \theta 2 / 2$ となるように第 1 センサユニット 3 2 および第 2 センサユニット 3 3 が配置されている。これにより、回転ベゼル 1 0 2 が使用者により回転させられた場合には、第 1 センサユニット 3 2 が生成する第 1 検出信号 A と第 2 センサユニット 3 3 が生成する第 2 検出信号 B に $1/4$ の位相差が生じることになる。

【0020】

図 5 に示すように、回転ベゼル 1 0 2 を時計回りに回転させた場合には、第 2 センサユニット 3 3 の生成する第 2 検出信号 B に第 1 センサユニット 3 2 の生成する第 1 検出信号 A より $1/4$ の位相進みが生じ、回転ベゼル 1 0 2 を反時計回りに回転させた場合には、第 2 センサユニット 3 3 の生成するパルス信号に第 1 センサユニット 3 2 の生成するパルス信号より $1/4$ の位相遅れが生じることになる。このような位相遅れ・位相進みを検知することによって後述するように回転ベゼル 1 0 2 の回転方向を検出することが可能となっている。

【0021】

[1 . 1 . 4] 概要構成

次に、腕時計型情報処理装置 1 0 0 の概要構成について図 6 を参照して説明する。

腕時計型情報処理装置 1 0 0 は、計時用の低周波数（3 2 k H z）のクロック信号 C L K を出力する低速発振回路である水晶発振回路 5 1 と、情報処理用の高周波数（例えば、4 M H z ～ 1 6 M H z）のクロック信号 C L K 2 を出力する P L L 発振回路 5 3 と、を備えて構成されている。

【 0 0 2 2 】

この場合において、水晶発振回路 5 1 に対応するクロック信号 C L K は時計表示用（計時用）に用いられるものであり、P L L 発振回路 5 3 に対応するクロック信号 C L K 2 は、後述の情報処理部 8 1 において情報処理用に用いられるものである。

また、腕時計型情報処理装置 1 0 0 の情報処理部 8 1 は、パルス数カウンタ及び正／逆反転検出部を有しており、第 1 センサユニット 3 2 が生成する第 1 検出信号 A および第 2 センサユニット 3 3 が生成する第 2 検出信号 B に基づいて情報データを生成し、ユーザにより確定された情報データのメモリ 8 3 への格納を行うものである。

【 0 0 2 3 】

このとき、情報処理部 8 1 は、回転ベゼル 1 0 2 の回転位置に対応した情報データが記憶された情報テーブル 8 2 を参照することにより情報信号を生成する。このようにして生成された情報信号に基づいてキャラクタージェネレータ 8 3 が表示部 1 0 4 に文字等の情報を表示する。

原点スイッチ 1 0 8 は、腕時計型情報処理装置 1 0 0 を情報入力状態に切り替えるものであり、原点スイッチ 1 0 8 がオンされると、情報処理部 8 1 のパルス数カウンタが 0 にリセットされ、第 1 センサユニット 3 2 および第 2 センサユニット 3 3 により回転ベゼル 1 0 2 の回転角度および回転方向の検出を開始するようになっている。

【 0 0 2 4 】

確定スイッチ 1 0 5、削除スイッチ 1 0 6 は、情報処理部 8 1 において生成さ

れた情報データをそれぞれ確定あるいは削除するものである。

濁点スイッチ 1 0 7 は、情報信号生成部 8 1 に生成された情報が仮名文字の場合には、濁点を付加するものである。また、情報が英文字の場合には、濁点スイッチ 1 0 7 は小文字と大文字とを切り替える機能を持っている。

なお、情報処理部 8 1 が生成する情報は文字情報に限らず、改行などの文字編集や、この情報処理装置におけるモード切換（例えば、時間表示モードと文字入力モードとを切り換える）などの指令データを生成することも可能である。この場合、情報テーブル 8 2 には、文字編集やモード切換などの指令情報が回転ベゼル 1 0 2 の回転位置に対応して記憶されており、検出された回転ベゼル 1 0 2 の回転位置に基づいて情報処理部 8 1 が指令データを生成することとなる。

【 0 0 2 5 】

[1 . 1 . 5] 水晶発振回路および P L L 発振回路の構成

ここで、水晶発振回路および P L L 発振回路の構成について説明する。

[1 . 1 . 5 . 1] 水晶発振回路の概要構成

まず、水晶発振回路の構成について説明する。

水晶発振回路 5 1 は、図 7 に示すように、発振周波数 3 2 k H z の水晶振動子 5 1 A と、水晶振動子 5 1 A に並列に接続された抵抗 5 1 B と、抵抗 5 1 B の一方の端子と低電位側電源（G N D）との間に接続された第 1 発振用コンデンサ 5 1 C と、抵抗 5 1 B の他方の端子と低電位側電源（G N D）との間に接続された第 2 発振用コンデンサ 5 1 D と、抵抗 5 1 B の一方の端子に入力端子が接続された第 1 インバータ 5 1 E と、第 1 インバータ 5 1 E の出力端子に出力端子が接続され、出力端子から 3 2 k H z のクロック信号 C L K を出力する第 2 インバータ 1 F と、を備えて構成されている。

【 0 0 2 6 】

[1 . 1 . 5 . 2] P L L 発振回路の概要構成

P L L 発振回路 5 3 は、図 8 に示すように、クロック信号 C L K の位相と後述の分周器 5 3 G の出力信号の位相とを比較してその位相差に相当する出力信号（デジタル）を出力する位相比較器 5 3 A と、位相比較器 5 3 A の出力信号に基づいてクロック信号 C L K と比較クロック信号 C L K 2 / N の位相差（周波数差

）に比例した誤差電圧を出力するチャージポンプ 5 3 B と、チャージポンプ 5 3 E の出力信号の低域周波数成分のみを通過させて電圧制御信号 SCV 1 として出力する L P F (Low Pass Filter) 5 3 C と、電圧制御信号 S C V に基づいてクロック信号 C L K 2 の発振周波数を制御して後述の分周器に出力する電圧制御発振器 (V C O) 5 3 D と、電圧制御発振器 5 3 D の電圧制御信号 SCV 1 にオフセット電圧信号 SCV 2 を重畳し、電圧制御信号 S C V とするための D / A コンバータ 5 3 E と、電圧制御発振器 5 3 D の出力したクロック信号 C L K 2 の周波数を分周して比較クロック信号 C L K 2 / N として位相比較器 5 3 A に出力する (1 / n) 分周器 5 3 F と、検査時であって、P L L 発振回路 5 3 がロックした状態における L P F 5 3 C の出力電圧に対応する出力電圧データをアナログ / デジタル変換して C P U に出力する A / D コンバータ 5 3 G と、を備えて構成されている。

【 0 0 2 7 】

[1 . 1 . 5 . 3] P L L 発振回路の詳細構成

[1 . 1 . 5 . 3 . 1] 位相比較器およびチャージポンプ

図 9 に位相比較器および位相比較器の後段に接続されたチャージポンプのの詳細構成を示す。

位相比較器 5 3 A の構成およびチャージポンプ 5 3 B の回路構成については、周知の構成であるため、その詳細な説明は省略し、図 1 0 のタイミングチャートを参照して動作説明をおこなう。

図 1 0 のタイミングチャートにおいて、出力信号 U は、クロック信号 C L K の位相に対してクロック信号 C L K 2 を分周した比較クロック信号 C L K 2 / N の位相が進んでいる場合あるいはクロック信号 C L K の周波数に対してクロック信号 C L K 2 の周波数が高い場合に “ L ” レベルとなる信号である。

【 0 0 2 8 】

また、出力信号 D は、クロック信号 C L K の位相に対して比較クロック信号 C L K 2 / N の位相が遅れている場合あるいはクロック信号 C L K の周波数に対してクロック信号 C L K 2 の周波数が低い場合に “ L ” レベルとなる信号である。

従って、クロック信号 C L K とクロック信号 C L K 2 を分周した比較クロック

信号 $CLK\ 2/N$ の立ち上がりタイミングにおいて両クロック信号の位相が等しい場合には、出力信号 U および出力信号 D は共に “H” レベルとなることとなる。この状態はいわゆる PLL がロックした状態に相当する。

この状態においては、チャージポンプ 5 3 B を構成する P チャネルトランジスタおよび N チャネル MOS トランジスタは、共にオフ状態となり、チャージポンプ 5 3 B の出力はハイインピーダンス状態となる。

一方、図 1 0 のタイミングチャートにおいて、時刻 t_1 あるいは時刻 t_2 に示すように、クロック信号 CLK の位相に対してクロック信号 $CLK\ 2$ を分周した比較クロック信号 $CLK\ 2/N$ の位相が進んでいる場合あるいはクロック信号 CLK の周波数に対してクロック信号 $CLK\ 2$ の周波数が高い場合には、出力信号 U が位相差あるいは周波数差に応じた時間だけ “L” レベルとなる。このとき出力信号 D は “H” レベルのままである。

【 0 0 2 9 】

同様に時刻 t_3 あるいは時刻 t_4 に示すように、クロック信号 CLK の位相に対してクロック信号 $CLK\ 2$ を分周した比較クロック信号 $CLK\ 2/N$ の位相が遅れている場合あるいはクロック信号 CLK の周波数に対してクロック信号 $CLK\ 2$ の周波数が低い場合には、出力信号 D が位相差あるいは周波数差に応じた時間だけ “L” レベルとなる。このとき出力信号 U は “H” レベルのままである。

これらの出力信号 U および出力信号 D が位相比較器 5 3 A からチャージポンプ 5 3 B に出力されると、チャージポンプ 5 3 B を構成する P チャネルトランジスタは、出力信号 U が “L” レベルの期間だけオン状態となり、N チャネル MOS トランジスタは、出力信号 D が “L” レベルの期間だけオン状態となる。

従って、チャージポンプ 5 3 B の後段に接続された LPF 5 3 C の出力は、クロック信号 CLK と比較クロック信号 $CLK\ 2/N$ の位相差（周波数差）に比例した直流的誤差電圧（図 1 0 (e) 参照）となる。

以上の説明は CMOS 構成の位相比較器について述べたが、バイポーラ構成の位相比較器についても同様に適用が可能である。

【 0 0 3 0 】

[1 . 1 . 6] LPF

図 1 1 に L P F の詳細構成並びに対応する自然角周波数およびダンピングファクタを示す。

図 1 1 (a) に示す L P F 5 3 C は、いわゆるラグ・リード・フィルタであり一般的な L P F である。動作速度的には、アンプを内蔵するアクティブフィルタに劣るが、C M O S 構成の P L L I C を構成する場合には、十分な実用性を有しており、ロックインタイムを 1 0 [m s e c] 前後にすることが可能となっている。

この場合における自然角周波数 ω_n およびダンピングファクタとは、それぞれ、図 1 1 (b) および図 1 1 (c) に示すようなものとなる。

図 1 1 (b) および図 1 1 (c) における各変数は以下の通りとなっている。

KP : 位相比較器の利得定数 (V / r a d)

KV : 電圧制御発振器の利得定数 (r a d / s e c / V)

N : 分周器の分周数

【 0 0 3 1 】

[1 . 1 . 7] 電圧制御発振器

図 1 2 に C M O S 構成の電圧制御発振器の詳細構成を示す。

図 1 2 に示す電圧制御発振器の回路構成については、周知の構成であるため、その詳細な説明は省略し、概要動作の説明をおこなう。

電圧制御発振器 5 3 D は、C M O S 構成であるため、入力インピーダンスが高く、前段の L P F 5 3 C の設計の自由度が高くなる。

図 1 2 において、コントロール信号 SC が “ H ” レベルの場合には P チャネルトランジスタ P 3 がオフ状態となり、発振停止状態とすることができる。

コントロール信号 SC が “ L ” レベルの場合は、電圧制御発振器 5 3 D は動作状態となり、N チャネルトランジスタ N 1 がソースフォロウ構成となっているため、抵抗 R 1 が十分に大きければ、N チャネルトランジスタ N 1 のドレイン電流は制御電圧信号 S C V に対してリニアに変化することとなる。

このため P チャネル M O S トランジスタ P 1 , P 2 のゲート電位も同様の変化となり、P チャネル M O S トランジスタ P 1 , P 2 のドレイン電流も制御電圧信号 S C V に対してリニアに変化することとなる。

【 0 0 3 2 】

一方、ゲート G 1, G 2 によりフリップフロップ回路が構成され、Pチャネルトランジスタ P 4、Nチャネルトランジスタ N 2、Pチャネルトランジスタ P 5 および Nチャネルトランジスタ N 3 はそれぞれスイッチを構成している。

従って、ゲート G 1 の出力が “L” レベルの場合には、ゲート G 2 の出力は “H” レベルとなり、Pチャネルトランジスタ P 5 および Nチャネルトランジスタ N 2 はオン状態、Pチャネルトランジスタ P 4 および Nチャネルトランジスタ N 3 はオフ状態となっている。

従って、インバータ I N V の入力 は低電位側電源電圧 VSS レベルとなり、インバータ I N V 5 の入力端子における電位は、Pチャネルトランジスタ P 2、P 5 のドレイン電流でコンデンサ C 1 が充電されるため、徐々に上昇し、インバータ I N V 5 ~ I N V 8 の出力信号レベルが反転すると、フリップフロップ回路を構成するゲート G 1, G 2 の出力が反転する。

【 0 0 3 3 】

そして、今度は、ゲート G 1 の出力が “H” レベル、ゲート G 2 の出力は “L” レベルとなり、Pチャネルトランジスタ P 5 および Nチャネルトランジスタ N 2 はオフ状態、Pチャネルトランジスタ P 4 および Nチャネルトランジスタ N 3 はオン状態となり、Pチャネルトランジスタ P 2、P 4 のドレイン電流でコンデンサ C 1 が充電されるため、徐々に上昇し、今度はインバータ I N V 1 ~ I N V 4 の出力信号レベルを反転させ、以下、同様の動作を繰り返すこととなる。

この場合において、コンデンサ C 1 の充電電流は、電圧制御信号 S C V の電圧で制御可能であるため、クロック信号 C L K 2 の周波数を可変することができるのである。

【 0 0 3 4 】

[1. 2] 情報処理部および発振回路の動作

ここで、情報処理部 8 1 および各発振回路 5 1, 5 3 の動作に着目して説明する。

[1. 2. 1] 計時動作時

情報処理部 8 1 が時計表示を行っている場合には、情報処理部 8 1 の制御下で

、PLL発振回路53は停止状態あるいは待機状態となっている。

これにより情報処理部81は、クロック信号CLKに基づいて計時動作を行い、表示部104に時計表示を行うこととなる。

【0035】

[1. 2. 2] 情報処理動作への移行時

情報処理部81が計時動作から情報処理動作へ移行する際には、PLL発振回路53の発振動作を開始させる。

この場合において、情報処理部81は、予め図示しないレジスタあるいは不揮発性のメモリに記憶した、検査時にPLL発振回路53がロックした状態におけるLPF53Cの出力電圧に相当する出力電圧データをD/Aコンバータ53Eにセットする。

これにより、D/Aコンバータ53Eは、検査時にPLL発振回路53がロックした状態におけるLPF53Cの出力電圧に相当するオフセット電圧信号SCV2を生成する。

一方、位相比較器53Aは、クロック信号CLKの位相と後述の分周器53Fの出力信号の位相とを比較してその位相差に相当する出力信号（デジタル）をチャージポンプ53Bに出力する。

チャージポンプ53Bは、位相比較器53Aの出力信号に基づいてクロック信号CLKと比較クロック信号CLK2/Nの位相差（周波数差）に比例した誤差電圧をLPF53Cに出力する。

LPF53Cは、チャージポンプ53Bの出力信号の低域周波数成分のみを通過させて電圧制御信号SCV1として出力する。

【0036】

これらにより電圧制御発振器（VCO）53Dの制御入力端子には、電圧制御信号SCV1にオフセット電圧信号SCV2を重畳した電圧制御信号SCVが入力され、電圧制御信号SCVに対応する周波数を有するクロック信号CLK2を生成して、情報処理部81および分周器53Fに出力する。

分周器53Fは、電圧制御発振器53Dの出力したクロック信号CLK2の周波数を分周して比較クロック信号CLK2/Nとして位相比較器53Aに出力す

ることとなり、電圧制御発振器 5 3 D の出力するクロック信号 C L K 2 の周波数は、所望の周波数にロックされることとなる。

【 0 0 3 7 】

[2] 実施形態の効果

以上の説明のように、本実施形態によれば、P L L 発振回路 5 3 の動作開始時に電圧制御発振器 (V C O) 5 3 D の制御入力端子には、電圧制御信号 S C V 1 にオフセット電圧信号 S C V 2 を重畳した電圧制御信号 S C V が入力されることとなるので、図 1 3 に示すようにロックアップ時間 T R U (= 1 0 [m s e c]) を従来のロックアップ時間 T R U (= 5 0 [m s e c] 、図 1 5 参照) に比較して短くできる。

従って、従来と比較して、迅速に情報処理動作に移行することができ、制御用ソフトウェア的にも P L L 発振回路 5 3 が安定するまで処理を待機状態とする待ち時間ルーチンを設ける必要もなくなり、ソフトウェア開発の簡易化を図ることができる。

さらに情報処理装置の各種操作におけるレスポンス向上を図ることができる。

【 0 0 3 8 】

[3] 実施形態の変形例

[3 . 1] 第 1 変形例

以上の説明においては、A / D コンバータ 5 3 G は、検査時において P L L 発振回路 5 3 がロックした状態における L P F 5 3 B の出力電圧に対応する出力電圧データをアナログ / デジタル変換して C P U に出力する構成を採っていたが、予め定めた所定のタイミング (所定時間毎など) において、P L L 発振回路のロックアップ状態における電圧制御発振器に入力される制御電圧を A / D 変換し、新たな出力電圧データとしてリアルタイムでオフセット電圧を補正するように構成することも可能である。

これにより、最も最新のデータに基づいてオフセット電圧を設定することができ、温度変化などの環境要因を含めた誤差を除去することが可能となり、より早くロックアップ状態に至らせることが可能となる。

[3 . 2] 第 2 変形例

以上の説明においては、オフセット電圧信号 S_{CV2}の生成に D/Aコンバータを用いていたが、図 14 に示すように、外付けのラダー抵抗 53H を利用し、セクタ 53I によりタップ位置を選択させて所望のオフセット電圧信号 S_{CV2}の生成を行うようにすることも可能である。

また、予め定めた一つのオフセット電圧が必要であるならば、上記構成のうち、セクタ 53I を設けない構成とすることも可能である。

〔 3 . 3 〕 第 3 変形例

以上の説明においては、腕時計型データ情報処理装置の場合について説明したが、PLL 発振回路を用いる回路あるいは装置であれば、PDA、ノート型パーソナルコンピュータなどの携帯型情報処理装置あるいは他の各種回路についても本発明の適用が可能である。

【 0 0 3 9 】

【発明の効果】

本発明によれば、PLL 発振回路のロックアップ時間を短縮することが可能となる。

また、PLL 発振回路を搭載した情報処理装置のロックアップ期間中の処理開始に伴う誤動作を防止するためのソフトウェア的な処理が不要となってソフトウェア作成の簡易化を図ることができる。

さらに PLL 発振回路を搭載した情報処理装置の立ち上げ時間を短くすることができ、操作レスポンスの向上を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態に係る腕時計型情報処理装置の正面図である。

【図 2】 図 1 の腕時計型情報処理装置から回転ベゼルを取り外した状態を示す図である。

【図 3】 図 1 の IV-IV 線に沿って視た図である。

【図 4】 回転ベゼルの下面を示す図である。

【図 5】 回転ベゼルに形成された光学パターンと、第 1 検出信号及び第 2 検出信号との関係を説明する図である。

【図 6】 腕時計型情報処理装置の入力情報信号を生成するための機能構成

ブロック図である。

【図 7】 水晶発振回路の詳細構成図である。

【図 8】 実施形態の P L L 発振回路の概要構成ブロック図である。

【図 9】 位相比較器とチャージ P L L 発振回路の詳細構成図である。

【図 1 0】 位相比較器とチャージ P L L 発振回路の動作タイミングチャートである。

【図 1 1】 L P F の説明図である。

【図 1 2】 電圧制御発振器 (V C O) の詳細構成図である。

【図 1 3】 実施形態の P L L 回路の動作説明図である。

【図 1 4】 実施形態の変形例の概要構成ブロック図である。

【図 1 5】 従来の P L L 回路の動作説明図である。

【符号の説明】

3 2 …第 1 センサユニット

3 3 …第 2 センサユニット

4 1 …光学パターン

4 1 a …吸収領域

4 1 b …反射領域、

4 4、4 6 …L E D

4 5、4 7 …フォトダイオード

5 1 …水晶発振回路

5 1 A …水晶振動子

5 1 B …抵抗

5 1 C …第 1 発振用コンデンサ

5 1 D …第 2 発振用コンデンサ

5 1 E …第 1 インバータ

5 1 F …第 2 インバータ

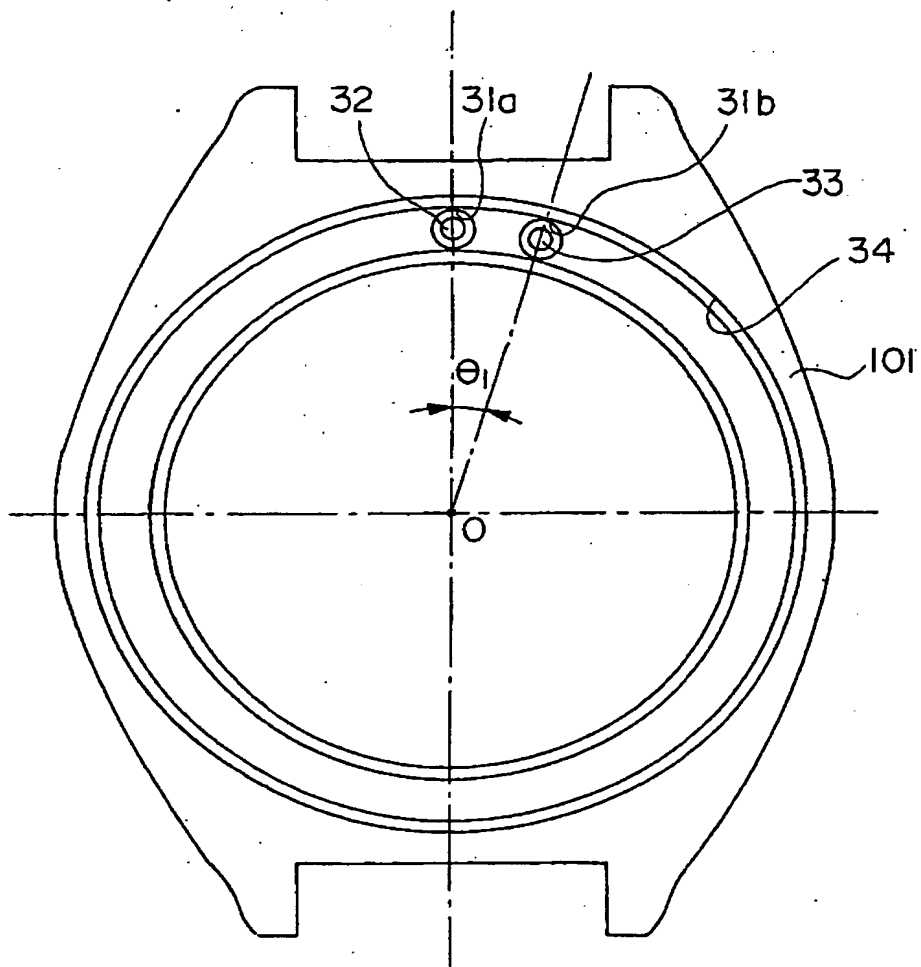
5 2 …C R 発振回路

5 2 A …フィードバック抵抗

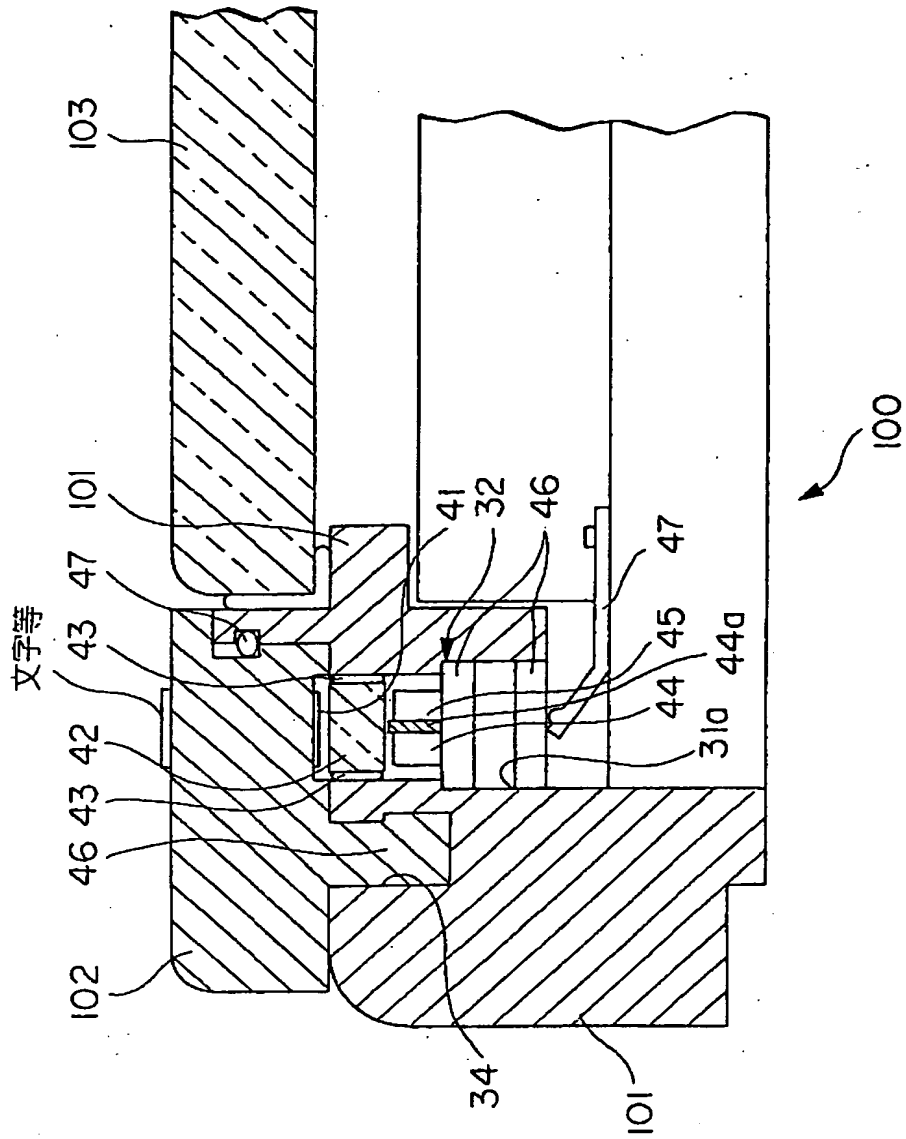
5 2 B …第 1 インバータ

5 2 C … 第 2 イ ン バ ー タ
5 2 D … 発 振 用 コ ン デ ン サ
5 2 E … 第 3 イ ン バ ー タ ら
5 3 … P L L 発 振 回 路
5 3 A … 位 相 比 較 器 (P C)
5 3 B … チ ャ ー ジ ポ ン プ (C P)
5 3 C … L P F (Low Pass Filter)
5 3 D … 電 圧 制 御 発 振 器
5 3 E … D / A コ ン バ ー タ
5 3 F … 分 周 器
5 3 G … A / D コ ン バ ー タ
5 3 H … ラ ダ ー 抵 抗
5 3 I … セ レ ク タ
8 1 … 情 報 処 理 部
8 2 … 情 報 テ ー ブ ル
1 0 0 … 腕 時 計 型 情 報 処 理 装 置
1 0 2 … 回 転 ベ ゼ ル
C L K 、 C L K 2 … ク ロ ッ ク 信 号
C L K 2 / N … 比 較 ク ロ ッ ク 信 号

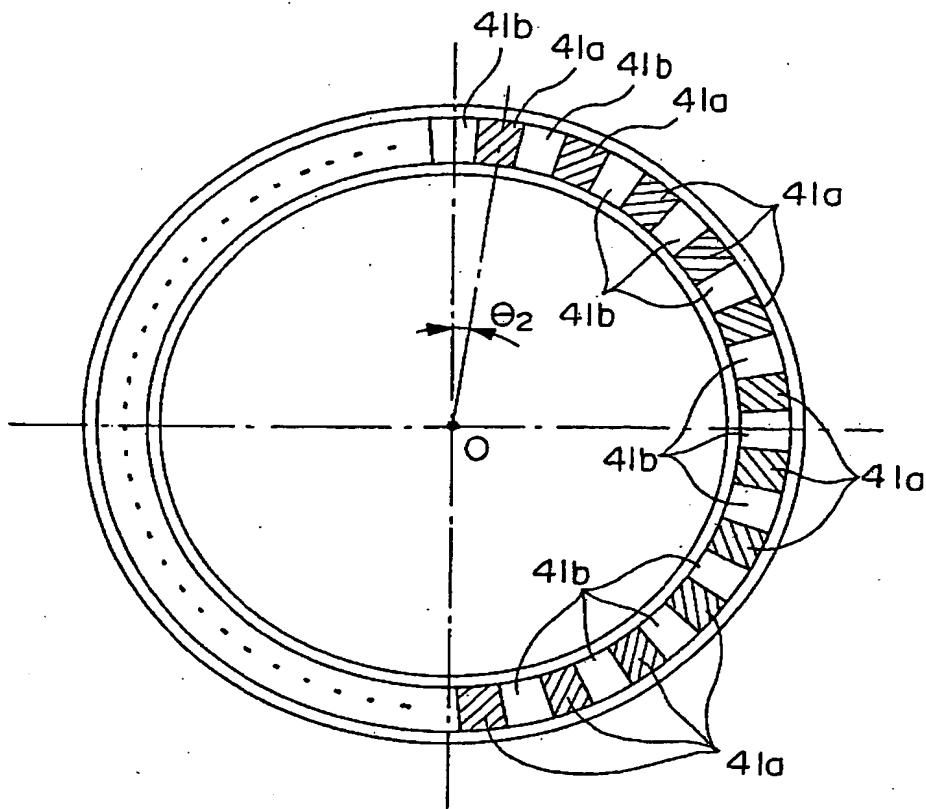
【図 2】



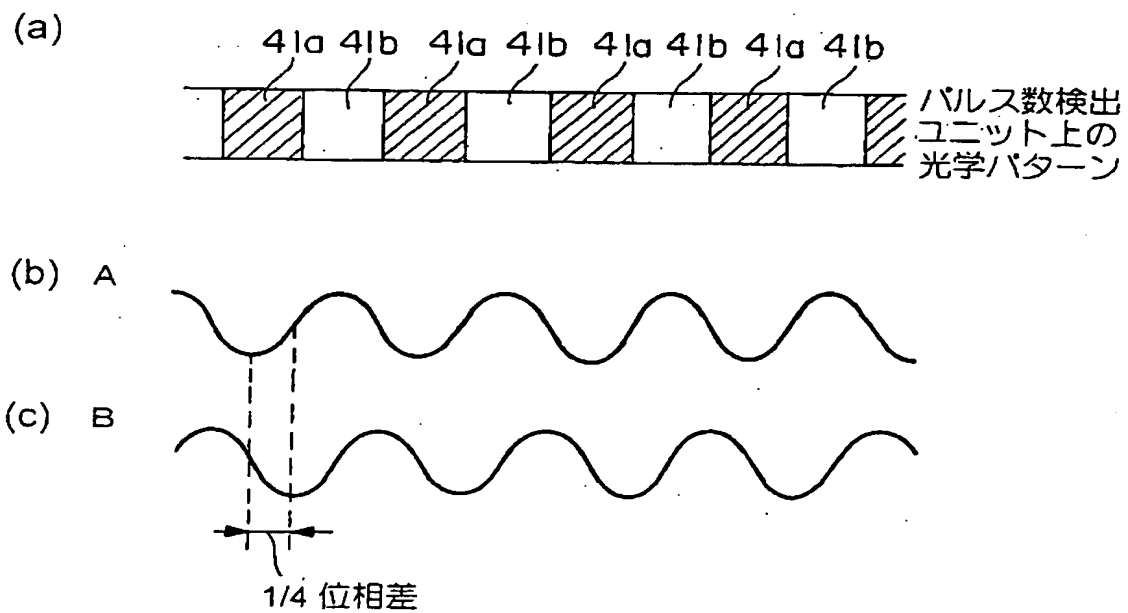
【図 3】



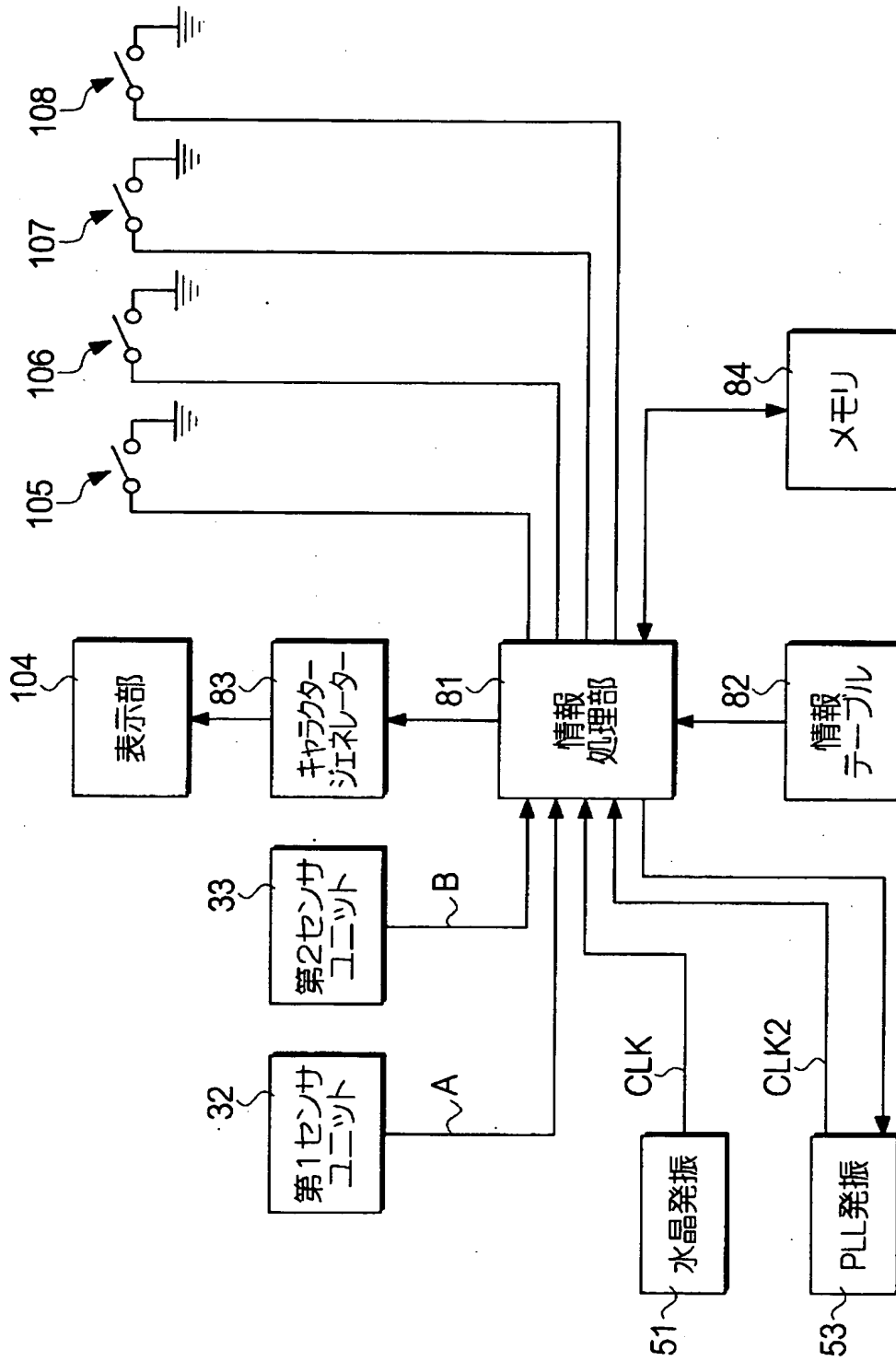
【図 4】



【図 5】

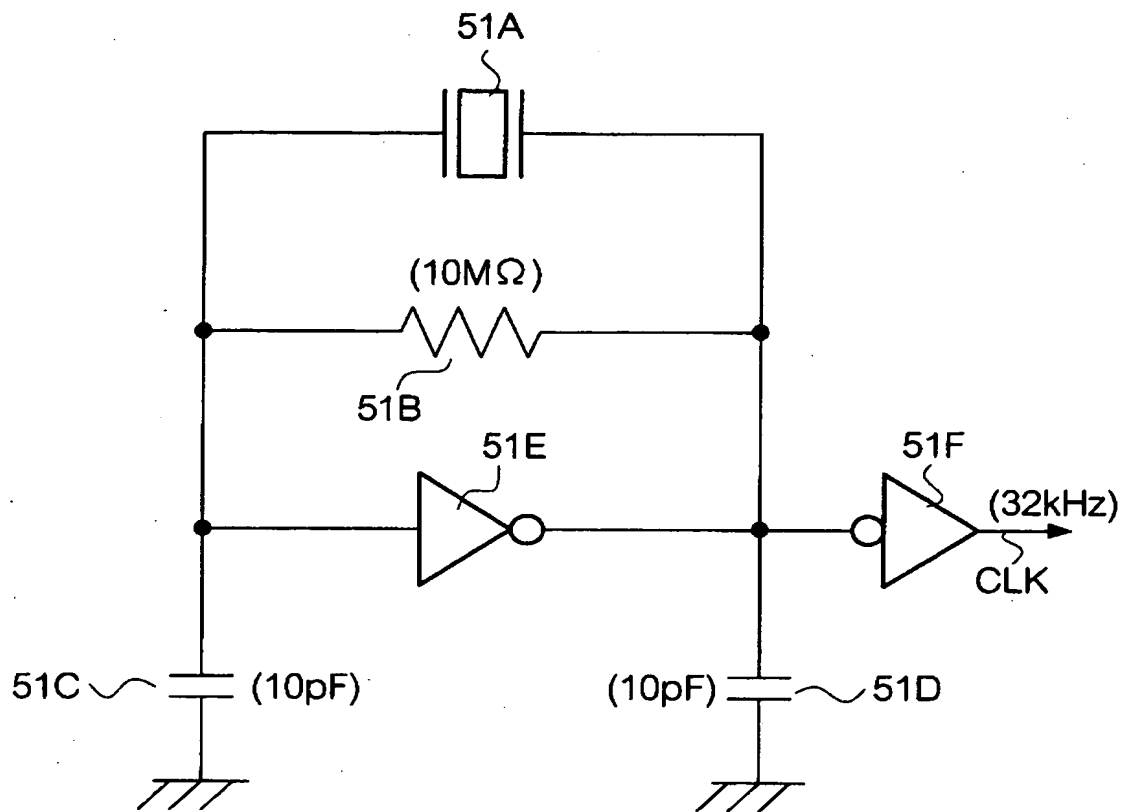


【図6】



【図 7】

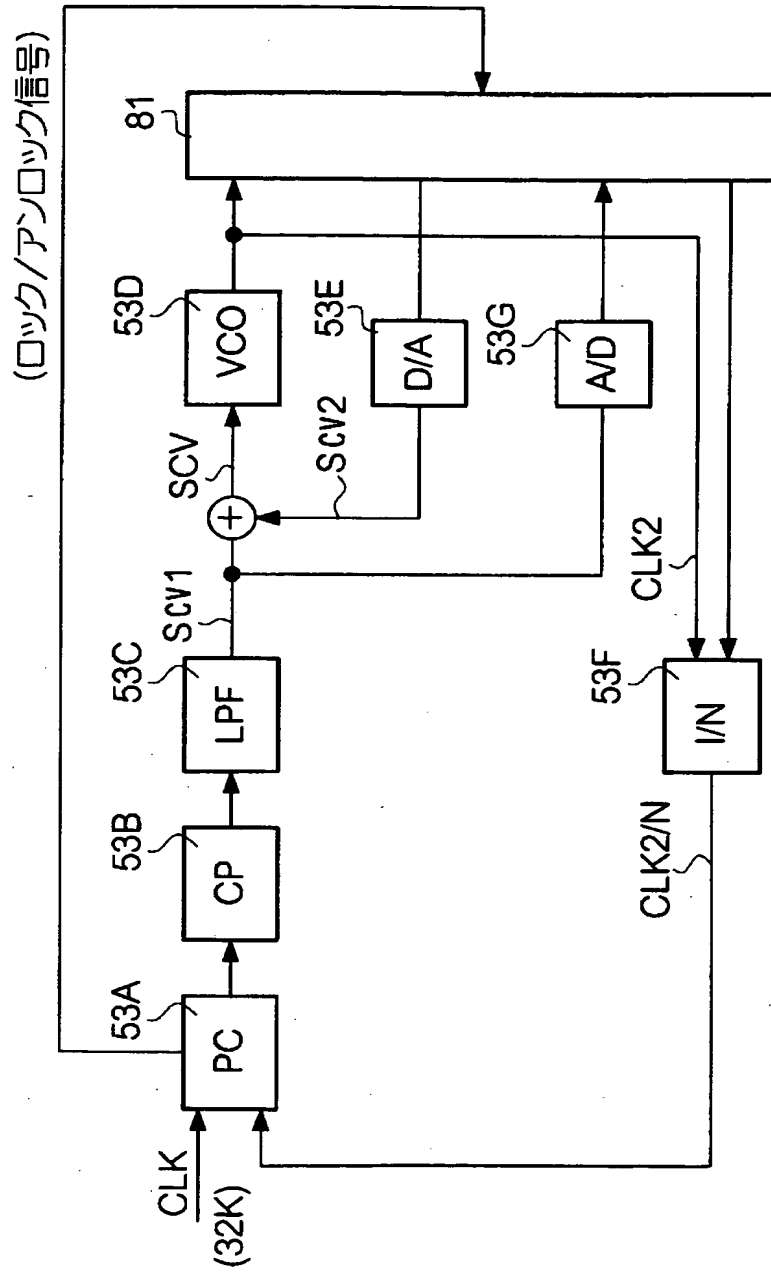
51:水晶発振回路



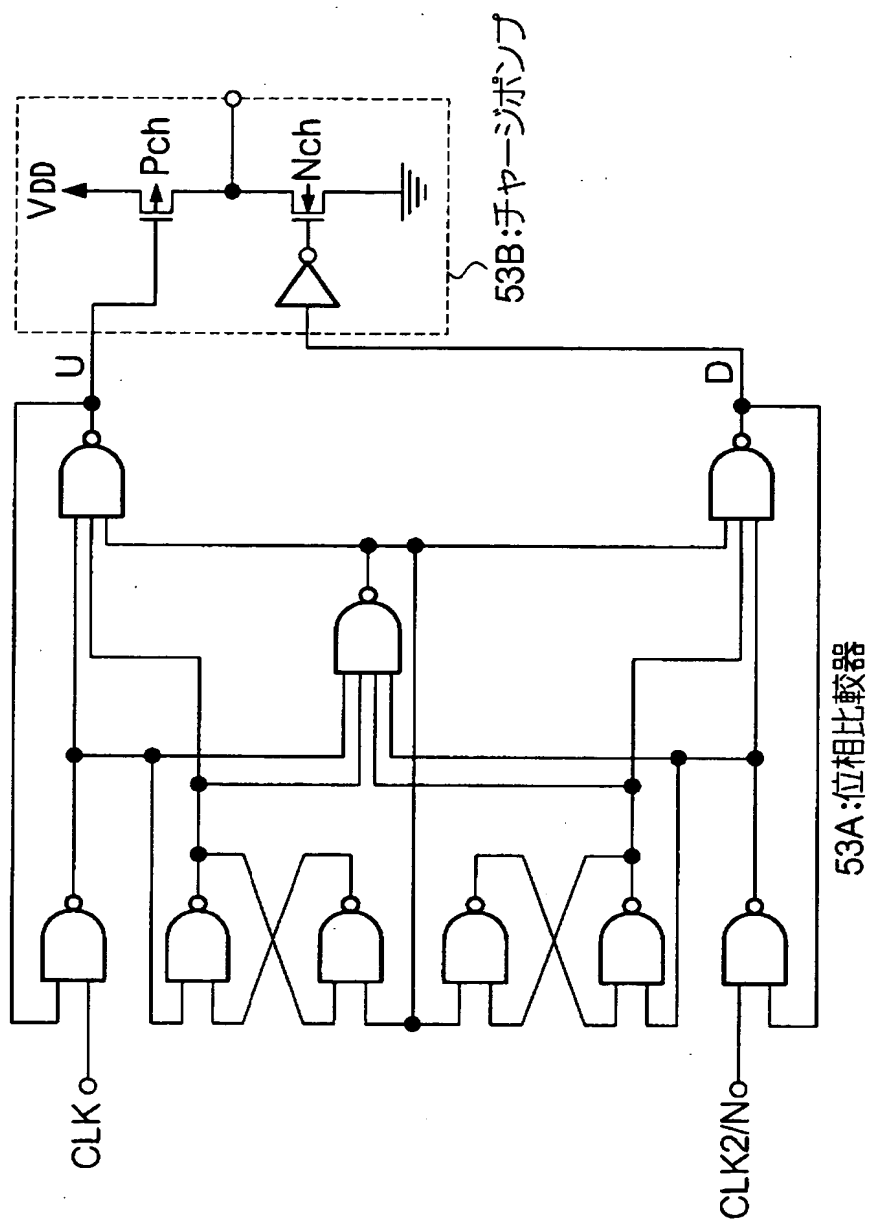
()内は具体例値

【図 8】

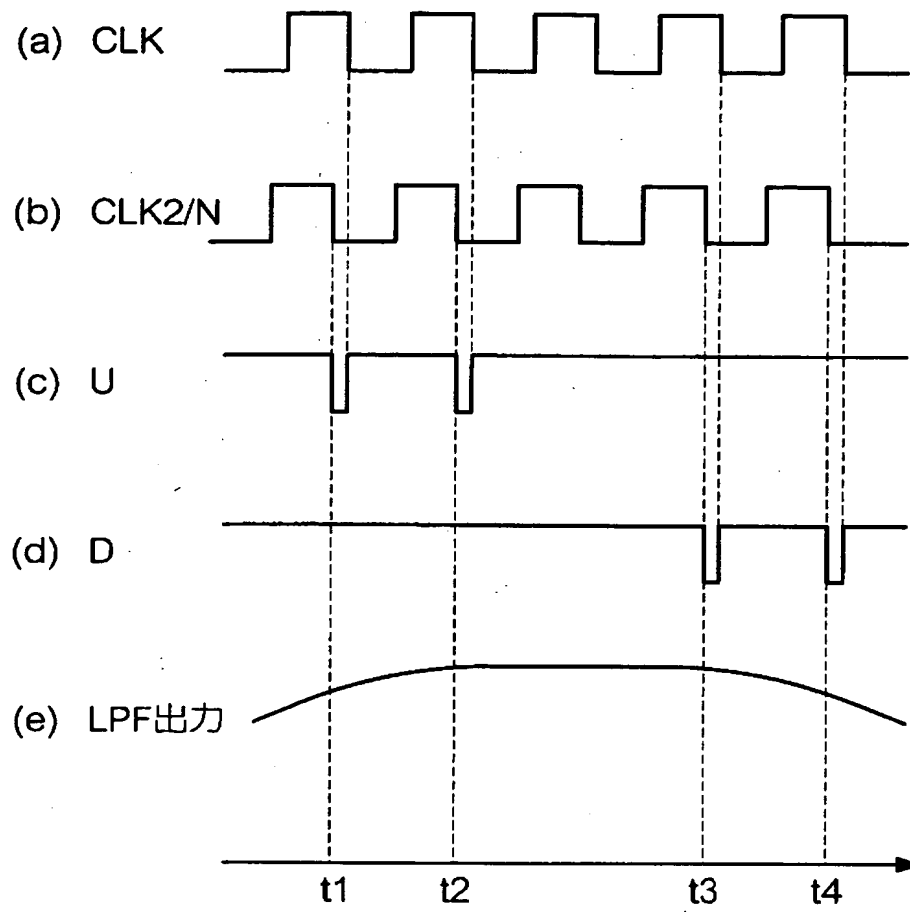
53:PLL 発振回路



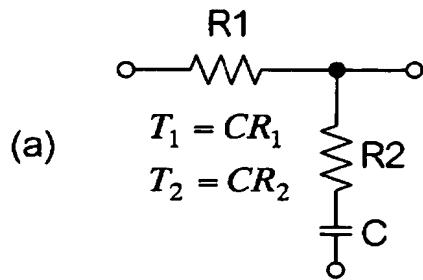
【図9】



【図 10】



【図 1 1】



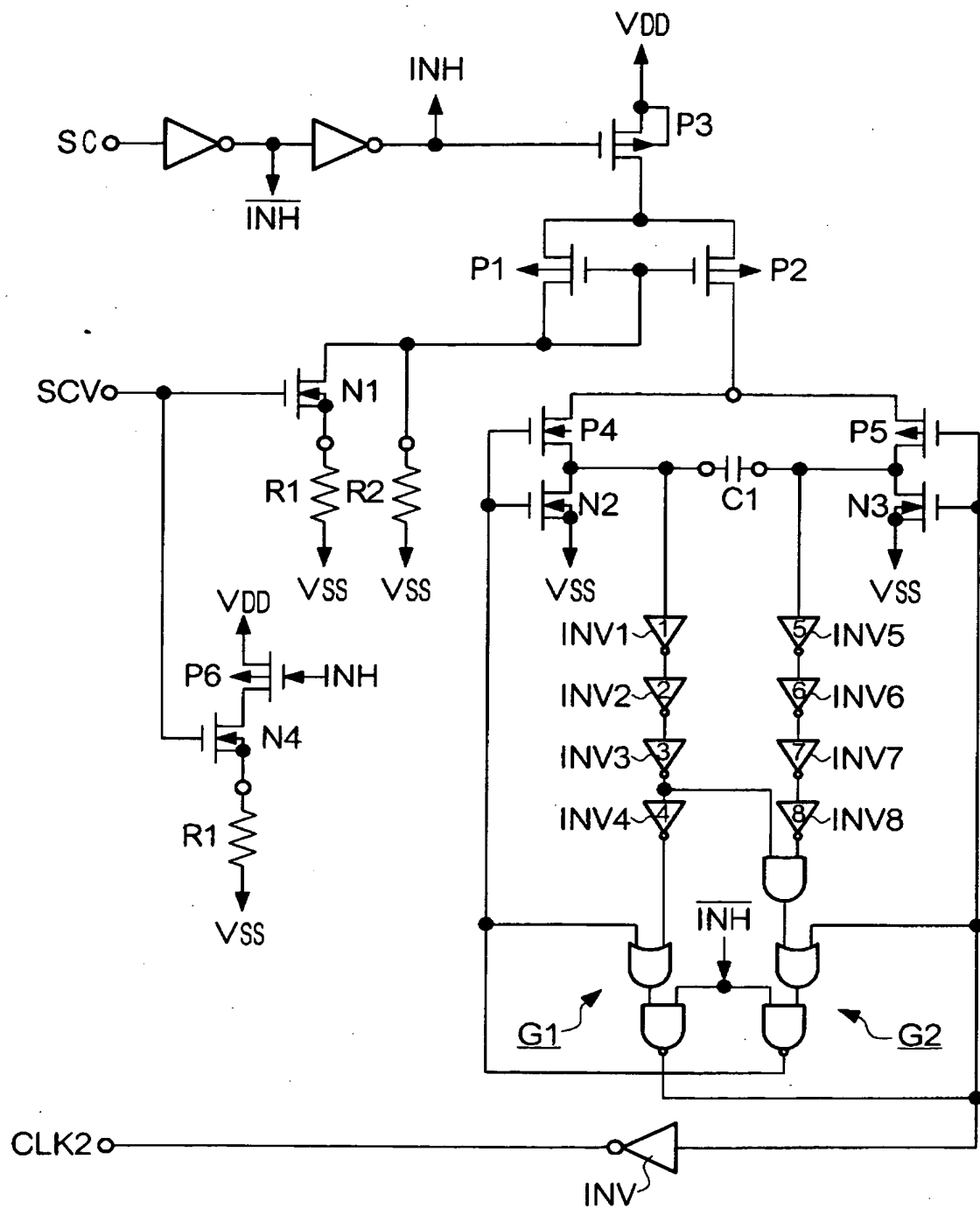
(b)

$$\omega n = \sqrt{\frac{K_P \cdot K_V}{(T_1 + T_2)N}}$$

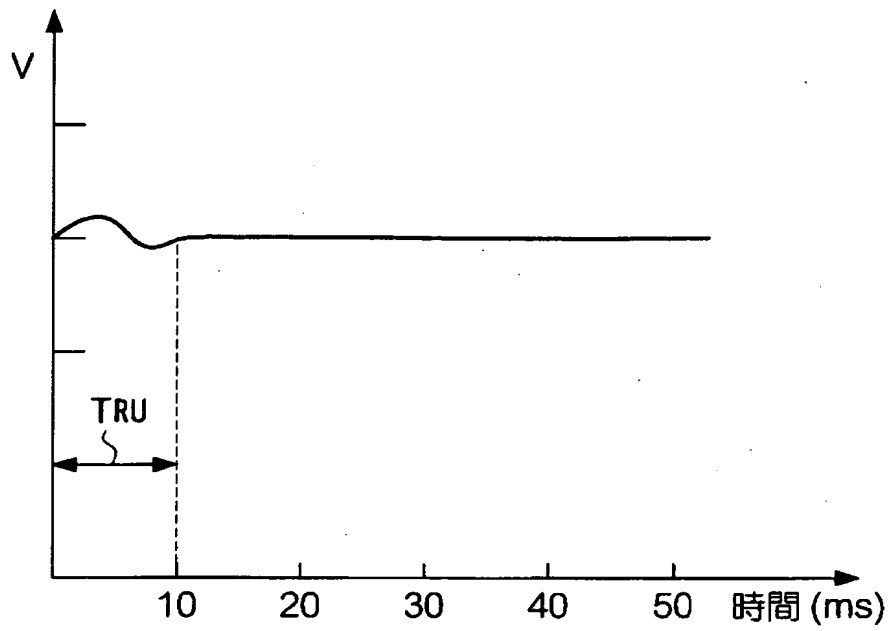
(c)

$$\xi = \frac{\omega n}{2} \cdot \left(T_2 + \frac{N}{K_P \cdot K_V} \right)$$

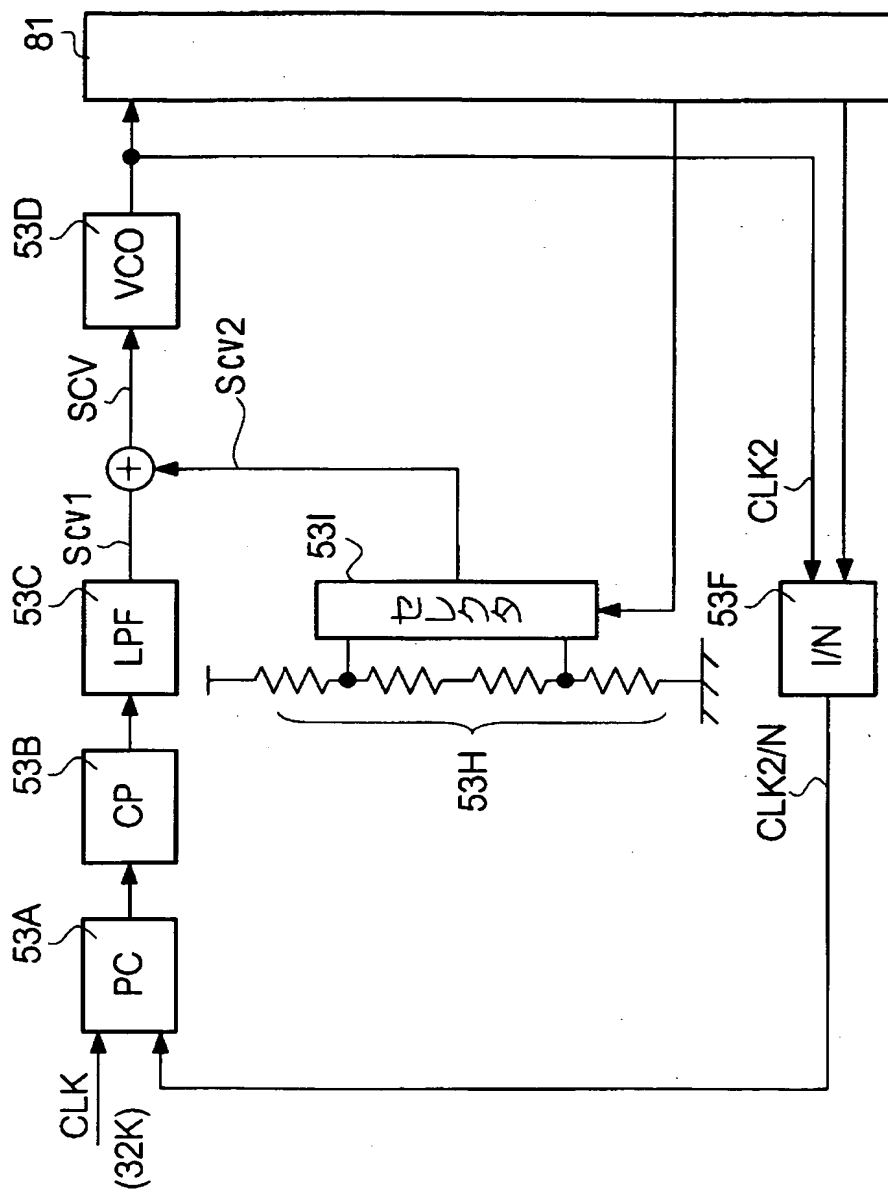
【図 12】



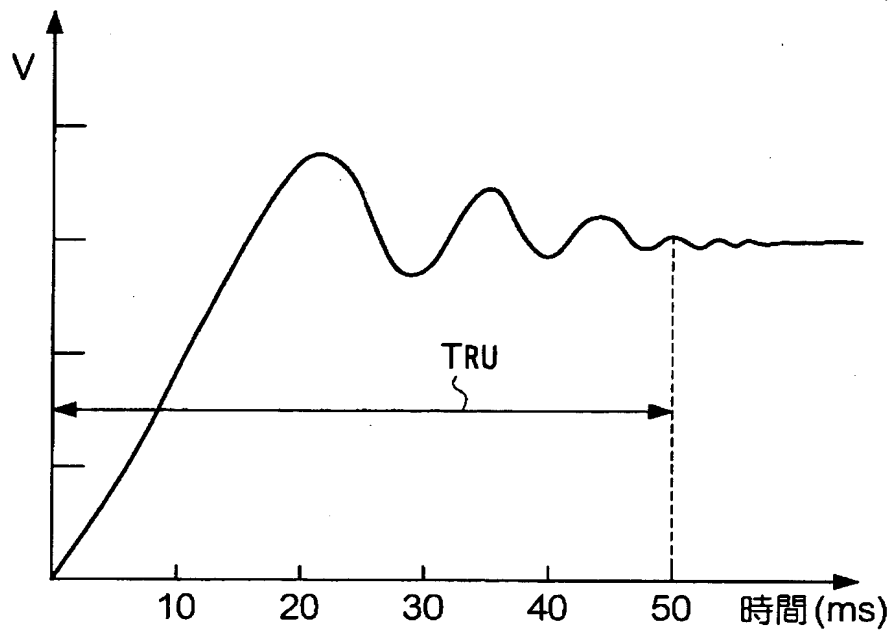
【図 1 3】



【図 1 4】



【図 1 5】



TRU: ロックアップ時間

【書類名】 要約書

【要約】

【課題】 PLL発振回路のロックアップ時間を短縮する。

【解決手段】 電圧制御信号SCVの電圧に対応する周波数を有するクロック信号CLK2を出力する電圧制御発振器53Dと、クロック信号CLKと比較クロック信号CLK2/Nの位相とを比較し比較信号を出力する位相比較器53Aと、比較信号の低域成分を通過させ、電圧制御信号SCV1として出力するローパスフィルタ53Cと、クロック信号CLK2を分周し、比較クロック信号CLK2/Nを出力する分周器53Fと、を備えたPLL発振回路53において、前記電圧制御信号SCV1の電圧に所定のオフセット電圧SCV2を重畳するD/Aコンバータ53Eを備える。。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社